

Multi-Die系统如何推动电子设计变革

一种全面的异构晶粒集成方法

作者

Shekhar Kapoor

产品管理高级总监

新思科技

引言

在“万物智能”的世界，从自动驾驶汽车到手术机器人，各种智能应用正在推动半导体需求不断增长。用户期待电子产品能够提供更加先进的功能，与此同时，全球疫情带来了前所未有的市场变化，随之而来的供应链压力凸显了芯片短缺问题。这样的环境为电子行业带来了大好机遇，进军半导体的新势力也越来越多。然而，设计团队发现，传统的整体半导体设计已经不能满足某些工作负载繁重的计算密集型应用的成本、性能或功能需求。遵循摩尔定律并迁移到更先进工艺节点也存在限制。

随着摩尔定律放缓，系统变得愈加复杂，晶体管数量激增至数万亿个，电子行业的未来发展将何去何从？

为了克服这些难题，Multi-Die系统应运而生，它让开发者可以超越摩尔定律，应对各种系统复杂性挑战，从而以经济高效的方式更快地扩展系统功能、降低风险、缩短产品上市时间、以更低的功耗实现更高的吞吐量，以及快速打造新的产品类别。对于高性能计算（HPC）、高度自动化车辆、移动设备和超大规模数据中心等应用，Multi-Die系统正在成为首选的系统架构。

Multi-Die系统无疑是一种出色的解决方案，但在软件开发和建模、功耗和热管理、分级测试和修复、Die-to-Die连接、系统良率等领域也还存在挑战。如何确保Multi-Die系统按预期运行？如何快速高效地完成所有这些工作？从整个系统的角度来看，从设计探索一直到现场监测，需要考虑的关键步骤有哪些？

简而言之，设计Multi-Die系统与设计单片片上系统（SoC）截然不同。当设计从一个裸片变成多个裸片，流片前所涉及的分区、实现、验证、签核和测试等每一步，都必须从系统的整体角度执行。

有些方案对单片片上系统很有效，但对Multi-Die这类复杂系统来说可能并不是理想选择。下文将更深入地探讨Multi-Die系统的方方面面，包括：推动其发展的市场动力是什么？如何针对该系统相应地调整包括架构探索、软件开发、系统验证、设计实现、制造和可靠性在内的关键步骤？以及该系统带来了哪些持续的半导体创新机会？

什么是Multi-Die系统？

首先来看看Multi-Die系统的确切定义。简单地说，Multi-Die系统是一个庞大、复杂且相互依赖的系统，是在单个封装中包含多个裸片或小芯片（chiplet）。设计这种架构有多种不同的方法。一是分解法，即将一个大芯片分解成几个小芯片，与单个大芯片相比，这样可以提高系统良率并降低成本。分解法适用于异构设计和同构设计。异构设计的一个例子是将汽车系统分解成拥有不同功能的多个裸片，比如传感器、物体检测和通用计算等不同功能。同构设计的一个例子是，同一个设计在同一块裸片上划分为多片。

方法二是将使用不同工艺技术的裸片组装到一起，以提供出色的系统功能和性能。这类系统可能包含多个裸片，分别用于数字计算、模拟、存储和光学计算，并且每个裸片各自采用适合其目标功能的工艺技术。通过组合使用经验证的已知良好裸片，比如可复用的IP模块，开发团队可以减少设计风险和工作量。无论采用哪种方法，与大型单片上系统设计相比，基于多个小裸片的设计都具有更高的成本效益和良率。

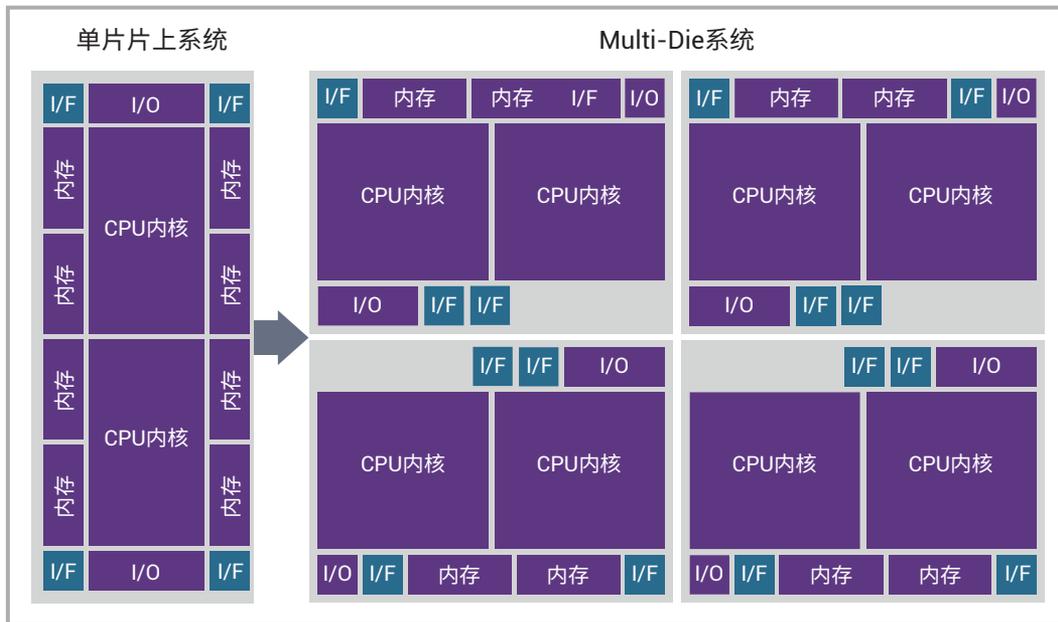


图1：与单片片上系统相比，Multi-Die系统可提高PPA和良率。
良率更高的小裸片设计可以抵消芯片面积更大以及封测成本更高的影响。

无论芯片布局是并排的的还是垂直堆叠的，Multi-Die系统都可以支持不同的封装类型。先进的封装类型在性能、面积和连接方面具有不同的优势，同时在复杂性和组装方面也存在差异。[硅中介层](#)的本质就是芯片，充当电信号在元件间传递电的管道。

硅中介层为信号传递提供了一个大管道，缩短了系统IP模块之间的距离，并将寄生延迟降到了最小。[重布线层 \(RDL\) 中介层](#)凭借RDL架构，可以实现电路扇出并在连接到中介层的芯片之间实现横向通信，因此是2.5D和3D芯片集成中不可或缺的要素。与传统封装相比，扇出晶圆级封装的占用面积更小，热电性能更佳。这种芯片封装类型还支持更多触点，而且又不会增加芯片尺寸。[混合键合封装](#)可以提供高密度和低功耗，其可实现的密度是本文讨论的几种封装类型中最高的。凭借非常小的凸块间距和用于连接的硅通孔（TSV），混合键合封装能够让两个晶圆键合在一起，作为一个整体工作。

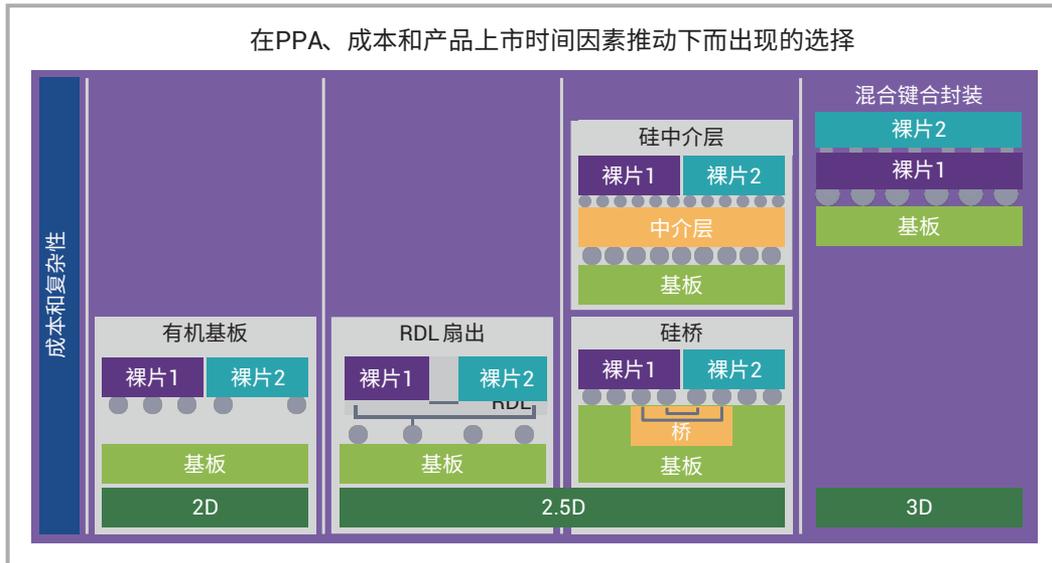


图2：封装技术的进步使Multi-Die系统成为可能。

行业标准保障质量和互操作性

行业标准在保障质量、一致性和互操作性方面发挥着重要作用，这在一定程度上确保了半导体设计的道路更为平坦。Multi-Die系统的两个关键标准是HBM3和UCle。HBM3提供紧密耦合的高密度内存，有助于缓解或消除多项瓶颈。UCle支持可定制的封装级裸片集成和每引脚32 Gbps的设计，有望成为Die-to-Die互连的业界标准。

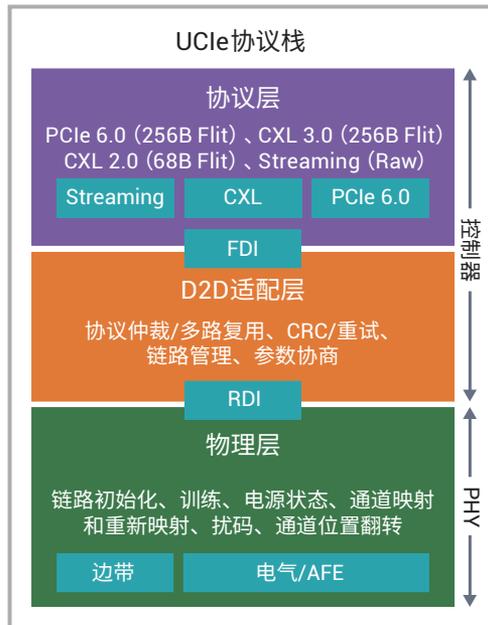


图3：UCle，支持标准和高级封装，可满足当今和未来Multi-Die系统的高带宽、低功耗和低延迟要求

[Die-to-Die接口](#)是实现Multi-Die系统所不可或缺的。它们由物理层（PHY）和控制器模块组成，在同一封装内的两个裸片之间提供了数据接口。采用分解法设计的芯片依赖于几种支持高数据速率的Die-to-Die连接架构，UCIe也因此脱颖而出。Die-to-Die接口的其他关键特性包括：

- 模块化
- 互操作性
- 灵活性
- 高带宽效率
- 高能效
- 低延迟
- 稳健安全裸片
- 短距离、低损耗信道，无任何明显间断

Die-to-Die控制器和PHY IP可以帮助确保接口的设计符合这些标准。具有错误恢复机制的控制器IP能够带来出色的数据完整性和链路可靠性。PHY IP提供高带宽和低延迟，以支持计算密集型工作负载。[UCIe控制器和PHY IP](#)支持标准和高级封装类型、PCI Express（PCIe）和Compute Express Link（CXL）等最受欢迎的接口，以及用户自定义的串流协议。PCIe 5.0/6.0、CXL 2.0/3.0、112G/224G以太网等对封装之外的连接非常重要。

更多的I/O接口会增加潜在的攻击面。裸片认证、Die-to-Die接口加密和调试等方式可以消除Multi-Die设计中的安全风险。各类标准组织正在大力推行标准化，以便协调这些系统的安全性，其中包括UCIe标准化。

本文稍后将会讨论，应用同时兼顾系统、裸片和封装的协同优化方法可以帮助优化性能和功耗。

为何需要Multi-Die系统？

那么，对Multi-Die设计的需求究竟从何而来？我们现已迈入[SysMoore时代](#)，系统和规模复杂性与日俱增，摩尔定律正在趋近极限。市场对AI、智能互联汽车和物联网等万物智能应用的需求不断增长，并改变着我们推进创新的方式。数据中心等海量数据应用需要管理不断增长的数据（在许多情况下达到PB级）。与此同时，由于高带宽机器之间的互通，数据本身也变得更加复杂。

为了支持这些计算密集型应用，如今的SoC设计规模已经相当庞大，晶体管数量达到万亿级别，大小却和邮票差不多。随着芯片制造正在接近极限尺寸，想要增加更多晶体管来满足应用需求，就需要增加更多芯片。问题是，要提高产量来达到期望的良率，则需面对陡峭的学习曲线。

将SoC分解成多个更小的裸片解决了学习曲线和良率的问题。通过在Multi-Die系统中重复使用经验证的裸片，团队可以加快系统上市。

然而，随着封装中芯片数量的增多，成本节约从芯片转移到封装，封装成本变得非常重要。尽管如此，在以下四个关键驱动因素的共同推动下，芯片设计仍在继续向Multi-Die系统发展：

- 成本：随着时间的推移，为了打造能解决SysMoore复杂性的各类芯片，成本已经变得异常昂贵
- 不断增加的功能：功能不断增加，需要更高的带宽、更低的延迟和更出色的计算性能，然而芯片制造正在接近极限尺寸
- 功耗挑战：通过分解大型设计可以更好地解决功耗挑战
- 多个终端市场的需求机会：这些市场机会催生了对出色模块化架构的需求

进军Multi-Die系统领域的并不是只有传统的芯片制造商，拥有庞大数据中心的超大规模用户、开发自动驾驶功能的汽车制造商和网络公司也都纷纷加入，开始着手自行研发芯片，推动向Multi-Die系统架构的转变，以便支持其计算密集型应用。这些系统公司基本上都致力于构建优化的架构来实现差异化，从而满足自身独特的市场需求，换句话说，他们的设计都是针对特定领域。例如，这些公司可能对性能、安全性或可靠性有特殊的要求，Multi-Die系统设计可以帮助他们满足这类要求。然而，这确实需要对芯片、软件和封装有深入的了解。

开发者需要全面的设计方法

超大规模用户和垂直行业迫切需要芯片来支持其特定领域的需求，并且他们很多都具备芯片设计所需的雄厚财力。于是，其中许多公司着手自行研发芯片，并转向Multi-Die系统，以满足这些细分市场的计算密度要求。有些公司可能需要专门的架构来优化深度学习算法的性能。另一些公司可能需要一种系统来让移动消费设备或汽车子系统在功耗和性能之间取得平衡。比如，一家大型汽车制造商依赖异构设计，将芯片分解成多个部分，分别用于与传感器输入、物体检测和通用计算相关的功能。再比如，光学计算领域的一家主要厂商将多种采用不同工艺技术的裸片集成到其系统中，分别用于实现数字计算、模拟、内存和光学计算。可以说，半导体行业正在发生巨大的变化。

在设计或采购各裸片时，必须考虑封装、互连和整个系统，这一点非常重要。芯片应该如何拆分？逻辑组件应该放在存储器上面还是下面？哪种封装适合最终应用？在做每一个选择和决定时，都应考虑到方方面面及其对设计总体PPA目标的影响。



图4：从单片片上系统向Multi-Die系统迁移带来了必须从整体上解决的独特挑战。

在2D设计中，常见的做法是一个团队完成自己的部分，然后将成果交给下一个团队。在Multi-Die系统设计中，所有团队最好一起应对各项挑战。功耗、信号完整性、邻近效应和散热等重要参数会相互影响，无法单独分析。前端逻辑设计必须考虑后端物理设计，否则可能导致前端设计和后端设计之间出现耗时的迭代，从而影响产品上市时间和总体设计成本。

在这种新的设计环境中，EDA公司必须改进策略，帮助客户完成从系统规划到实现以及固件/硬件/软件协同开发的一切工作。传统的设计和验证、原型开发、IP集成、测试以及芯片生命周期管理流程和方法已不足以支持Multi-Die设计，也无法有效地将不同的点工具整合在一起。Multi-Die系统本质上是多维度的，因此市场需要一个协调一致且可扩展的综合解决方案来应对这些设计的复杂性，提高生产力以达到上市时间目标，并实现PPA优化。

架构探索：探索、优化、收敛

在设计一开始时，即在架构探索阶段，必须采取分析驱动法来考虑各项宏观架构决策，如IP选择、硬件/软件分解、系统级功耗分析和互连/存储尺寸标注。此外，还要考虑与聚合（利用多个裸片组装系统）和分解（将应用分解到多个裸片上）相关的Multi-Die宏观架构决策。

那么，在此阶段中，必须解答哪些问题呢？以超大规模数据中心等复杂应用为例，必须解答的问题包括：每种类型的裸片需要多少个？这些裸片分别应该采用什么工艺节点？裸片如何连接？对于每个裸片，如何将不同子系统的功能分解成本地处理单元？如何组装拥有不同内存和计算裸片的系统？即使裸片设计正确，如何确保整个系统在组装完成后能够满足功耗和性能目标？分析驱动法有助于在早期对许多选择进行迭代，以优化Multi-Die系统以及成本。

对于汽车等安全关键型应用，可预测性是一个重要标准。最终，利用建模、分析、仿真和实验的数据驱动架构规范方法将能为此指明方向。

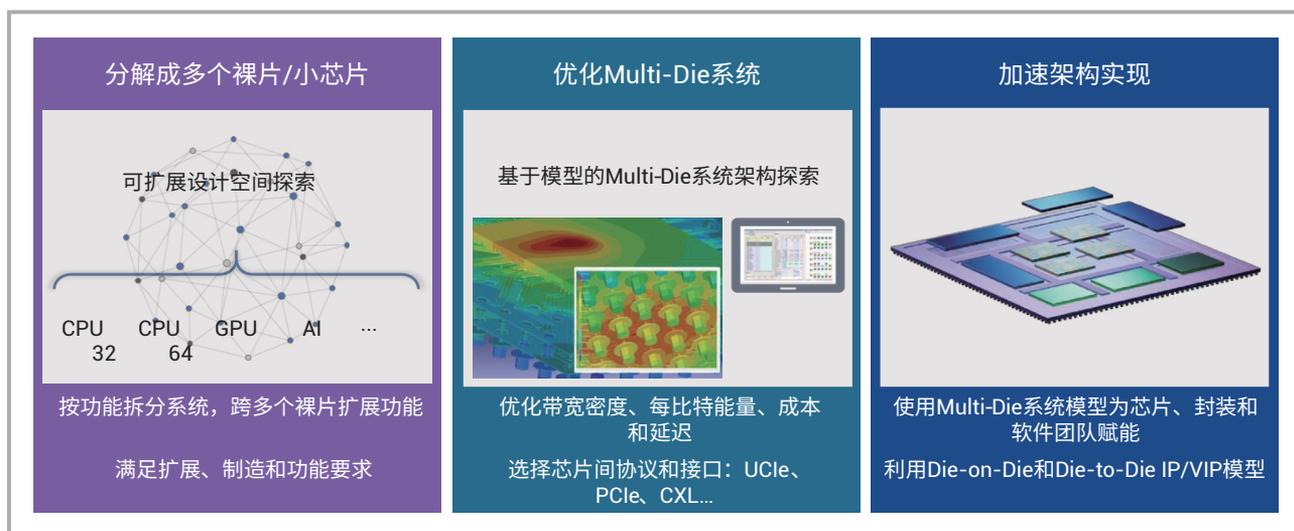


图5：对Multi-Die系统的早期架构探索旨在优化性能、功耗和散热关键性能指标

围绕几个关键领域做出的早期架构决策可以从以下方面改进设计过程：

- Multi-Die系统分解成多个裸片，以优化芯片间通信
- 芯片间通信考虑因素，旨在确保有效吞吐量和延迟
- 接口功耗、吞吐量和裸片布局之间的权衡
- 不同制造和封装技术的性能影响
- Die-to-Die协议和接口

除了做出这些早期架构决策外，开发团队还必须解决芯片间性能瓶颈。基于分解和Die-to-Die接口选择的延迟和性能建模对此很有帮助。最后，另一个重大挑战是通过解决系统功耗问题和同一封装内多个裸片的散热问题来满足功耗和散热关键性能指标（KPI）。

值得一提的是，目前工具流程中的自动化已经提高架构探索效率，超越了过去几年基于电子表格的手动预测。展望未来，统一的设计空间探索将进一步提高这个过程的准确性和效率。

以坚实的热力学基础确保系统性能稳健

Multi-Die系统的目标是以比单片系统小得多的尺寸实现更多的功能，因此性能功耗比是表示系统效率的关键属性。然而，多组件集成带来了一些与热应力相关的挑战。由于晶体管密度更高，Multi-Die系统会产生大量热量，但架构中却几乎没有散热的空间。如果不进行散热，当温度超过器件的最佳工作范围时，芯片功能可能会受到机械应力或翘曲的影响。

在Multi-Die系统中增加散热器和其他冷却结构会很有帮助，但这也确实会增加器件面积和成本。在Multi-Die系统架构中，开发者还需要设计电源网格，确保向系统的所有区域提供足够的电力，这项工作也变得更加复杂。

采用精心规划的架构并遵循迭代过程可以缓解热应力影响。在初始架构和物理规划之后，团队可以分析由此产生的热行为，然后可以修改架构并执行物理规划以改善热行为。如此继续迭代，直到满足热约束和性能要求。

在这个迭代过程中，前端的“假设”探索有助于避免陷在某个分解结构上，而该结构最终从功耗角度来看可能不够理想。在确定芯片各个部分的设计之前，系统架构团队可以使用建模工具将芯片的各个部分抽象成模型，以便进行性能分析和实现功耗权衡。通过将工作负载映射到Multi-Die系统，设计团队可以确定每个处理单元和每个通信路径的活动。另外，由于设计中的每个裸片都有自己的软件堆栈，因此要打造一个基本稳健且热性能出色的设计，软硬件一起建模也变得更加重要。RTL、综合、布局布线和其他设计步骤中的持续监测也很重要。随着工具流程的热感知能力加强，这个过程将变得更加自动化。

从热管理的角度来看，在每个裸片中嵌入传感器来持续监控和管理健康状况（芯片生命周期管理技术）可以提供一些指示来表明是否需要采取某些措施，例如降低性能以冷却系统。片上传感器常见于汽车和移动等应用，并可能成为HPC和AI等应用中的主流做法。

应对Multi-Die系统实施挑战

虽然Multi-Die系统可以帮助应对与日俱增的系统和规模复杂性，但也确实存在需要开发团队解决的固有设计挑战。这些挑战普遍存在于具有数十个芯片、高集成密度（通常每平方毫米1万到100万个I/O）、3D异构设计和混合架构的系统中。要应对这些挑战，一个重要的步骤是探索可扩展性选项和架构，以实现出色的PPA/mm³。另外，一个重要的方法是针对PPA、物理约束和成本协同优化整个系统。

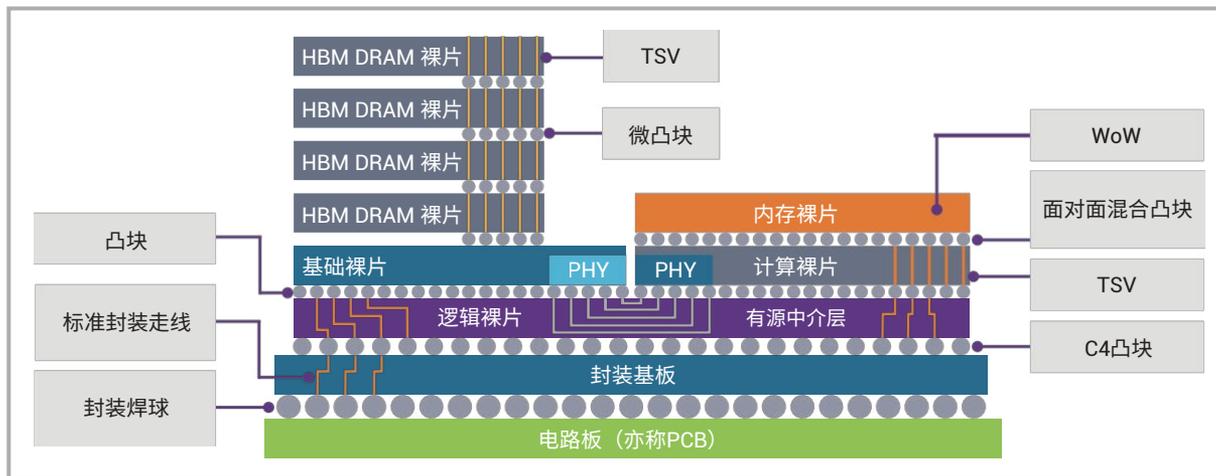


图6：考虑到Multi-Die系统中的各种相互依赖关系，协同优化整个系统以实现出色PPA非常重要。

在不同裸片和技术之间使用一致的数据管理有助于更轻松、更高效地从2D过渡到2.5D/3D设计。在这方面，由单点解决方案组成的不连贯流程可能对结果以及生产力不利。为了满足Multi-Die系统的独特要求，我们需要一种涵盖设计、分析和签核的统一裸片/封装协同设计方法。理想情况下，集成环境应当满足以下条件：

- 能够提供适当的集成能力和效率来处理超过1000亿的晶体管连接
- 通过在设计的各阶段采用并发工作流程，并使用具有通用技术文件和规则的通用数据模型和数据库，支持更快地实现设计收敛
- 通过单一软件环境和GUI中进行Multi-Die/封装协同设计，从而提高生产力
- 以出色的PPA实现快速收敛，同时加速完成封装
- 尽早在整个系统层面优化设计和成本

解决Multi-Die系统软件开发和软件/硬件验证问题

说到验证，如果只是认为Multi-Die系统设计要比片上系统大得多，就想得太过简单了。虽然Multi-Die系统确实大得多，但要有效地对非常大的系统进行硬件仿真，还需要考虑容量问题。另外，Multi-Die系统往往采用异构设计，其中各个裸片采用不同的工艺节点技术，并且在某些情况下会被重复使用，这限制了开发者获得任何专属的RTL。

对于Multi-Die软件开发和软件/硬件验证，有几个关键考虑因素和解决方案：

- 对一个裸片进行软件调试，同时软件又依赖于其他裸片。多重抽象系统建模可以借助快速、可扩展的执行平台来充分利用虚拟原型和硬件辅助验证。
- 验证Die-to-Die接口。流片前验证可以使用模拟/混合信号（AMS）流程对IP模块进行验证和表征。流片前验证与合规性测试也可以通过结合使用UCIe控制器IP原型和UCIe协议接口卡来完成。
- Multi-Die系统软件/硬件验证。每个裸片都可以映射到自己的硬件仿真设置上，并通过Die-to-Die事务处理器（UCIe等）进行连接。通过硬件辅助验证执行的实际应用工作负载有助于深入了解Multi-Die系统性能，并缩短功耗验证的周转时间。待测裸片还可以通过速度适配器连接到成熟裸片的原型。

下文将更深入地探讨这些要点。对于这样一个运行复杂软件的复杂系统，必须尽早开始验证过程，从而创建Multi-Die系统的虚拟原型来支持软件开发。借助虚拟模型，开发者可以预先指定系统行为，并在该模型上运行软件。这样一来，在开始硬件仿真之前，系统规格会变得更加稳固，软件定义也会更加完善。

对于Multi-Die系统，在协议层面（数字部分）和模拟层面（PHY）优化Die-to-Die连接非常重要。AMS硬件加速技术有助于降低流片后出错的风险。

异构设置有助于对Multi-Die系统进行验证。假设某个设计中有三个裸片是一家半导体供应商开发的，该供应商提供了RTL，而第四个裸片是另一家供应商提供的，这家供应商没有提供RTL，而是提供了一个现有裸片。三个具有RTL的裸片可以在大规模设置中进行硬件仿真，并以UCIe事务处理器提供不同硬件加速器之间的桥接，这实际上代表了实际Multi-Die系统中的连接。第四个裸片可以封装在测试板上的测试芯片中，通过UCIe速度适配器连接到硬件加速器。解决容量问题后，硬件仿真可以支持对设计的软件及其硬件进行调试和验证。通过这个过程，团队可以获得做出正确决定所需的指导。例如，通过及早确定系统中每个裸片的功耗，团队可以根据每个裸片的功耗预算来确定裸片堆叠是否可行。

验证Multi-Die系统的功能正确性

无论是单个裸片还是多个裸片，整个系统都必须经过验证，以确保其功能与设计规格一致。换言之，设计是否符合预期？在组装之前，应当对各个裸片进行验证。在裸片层面进行更详尽的验证可降低Multi-Die系统出现错误的几率。在组装完成后，还必须在连接层面进行测试，以确保通过端口推送的数据能够到达正确的位置，并在系统层面进行测试，以确保适当的系统性能。

随着EDA供应商不断增强工具流程，设计社区可以寻求投资来解决Multi-Die系统的验证挑战。例如，云端混合硬件仿真可以利用云服务的弹性来解决容量问题。交易层面的采集可以仅从分布式节点快速云传输相关数据，稍后再一起进行分析，从而使大型系统的调试变得易于管理。分布式仿真技术可以重新调整云中多个节点（例如网络中的1000个内核）的用途，用于进行并行仿真，从而加速Multi-Die系统验证。

加速系统签核，更快地完成芯片设计

设计签核包括多个步骤，并涉及到一系列迭代检查和测试，以在流片前确保设计没有缺陷。签核检查非常复杂，涉及的领域包括压降分析、信号完整性分析、静态时序分析、电迁移和设计规则检查等。Multi-Die系统签核遵循类似的方法，但由于各种系统相互依赖关系，其规模要大得多。

高效的综合提取流程可为各种Multi-Die系统架构建模，以获得准确的性能和芯片结果，从而为先进工艺技术提供支持。Multi-Die系统的工程变更命令（ECO）需要与所有相关的生态系统合作伙伴一起快速执行，以便快速地识别变更并高效地协调设计。这只能通过黄金签核工具来完成，这些工具提供了全面的分层ECO，后者还可以加速PPA收敛。此外，能够准确地分析Multi-Die系统设计有助于在流片前发现潜在的问题。黄金签核工具可确保Multi-Die系统中的每个参数都可以准确、完整和方便地进行收敛。

反复测试：确定已知良好裸片的可用性

为了确保Multi-Die系统的质量，需要进行全面的预组装测试以获得已知良好裸片（KGD），并进行互连和系统层面的键合后测试。Multi-Die系统的各个裸片都应经过全面测试，以满足最低测试逃逸要求（用百万分比缺陷率（DPPM）表示）。这要求在设计模块中内置先进的可测性设计（DFT）功能。例如，逻辑电路和存储器电路的内置测试（BIST）要求将硬件引擎集成到设计中，以应用测试并执行修复，然后再进行诊断。存储中的冗余（以及互连）可在修复期间优化良率。

当需要在晶圆层面测试裸片时，团队可能会发现许多凸块太小、太密，而无法进行物理探测，因此可能需要在预组装阶段使用专用焊盘进行晶圆测试。这些测试用焊盘不会键合到最终设计中。在全面测试和修复各个裸片后，便可以进入Die-to-Die空间进行组装和键合。在内存和逻辑裸片完成部分或全部键合后，进行互连测试有助于确定Die-to-Die连接是否状况良好或者是否需要修复。组装完成后，所有互连都要经历这样的测试、修复和重新测试过程。最后一步是测试Multi-Die堆叠和封装，评估裸片是否仍然完全正常，如果裸片已在运输、安装或组装过程中发生损坏，则进行修复。

特别是对于Multi-Die系统而言，IEEE Std 1838-2019标准规定了Multi-Die测试访问的必要和可选片上硬件组件，从而可以对裸片和相邻裸片之间的互连层进行单独测试。

IEEE表示，该标准主要适用于TSV，但也可以涵盖其他2.5D互连技术，包括引线键合。3DIC带来了独特的测试挑战，并需要访问机制来在堆栈级别从键合焊盘访问每个裸片的嵌入式测试仪器。

传统上，DFT团队使用从板级继承的测试访问机制（如边界扫描）来模拟Die-to-Die互连并执行测试生成。这种方法手动操作很多，因为团队必须提取网表、自行构建一切并创建验证环境。要想在测试阶段提高生产力，需要自动化的Die-to-Die测试解决方案。

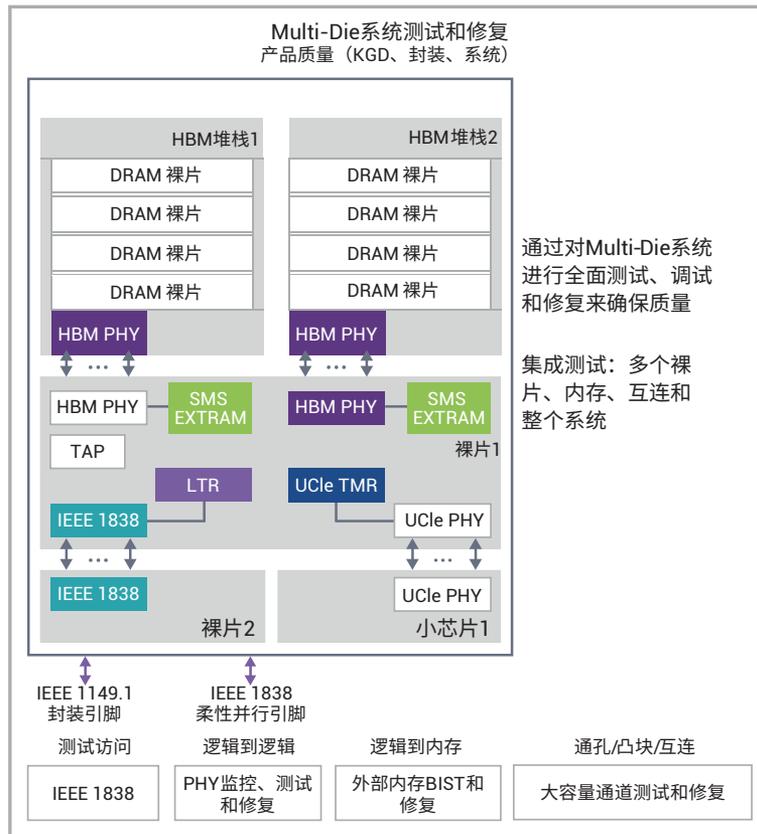


图7：芯片测试过程自动化可以带来更详尽、更高效的流程。

芯片生命周期管理对系统运行有何影响

芯片健康状况还可以通过芯片生命周期管理 (SLM) 技术来评估。SLM涉及到将监视器集成到设计组件中，以便在设备的整个生命周期（包括在部署到现场后）内提取数据。从芯片收集的数据为系统提供了深入的可行见解，从而实现持续分析和优化。

对于Multi-Die系统，多个裸片的监控基础设施应保持统一。其想法是在芯片的整个生命周期内捕获环境、结构和功能条件的概况。挑战在于由复杂性引起的可靠性问题、电源管理问题和互连问题。

考虑到系统的相互依赖性，设计团队需要了解一些情况，例如在哪里放置两个热特性截然不同的裸片，以便一个裸片的散热不会对另一个裸片或整个系统的运行产生负面影响。部署到现场后，芯片会受到老化和温度的影响，因此持续监测是一项非常重要的功能。在采用分解法设计的芯片中，在封装完成后访问单个裸片也更具挑战性。例如，如果裸片垂直堆叠，则需要一种有效的方法来访问各个裸片以进行现场特征分析。

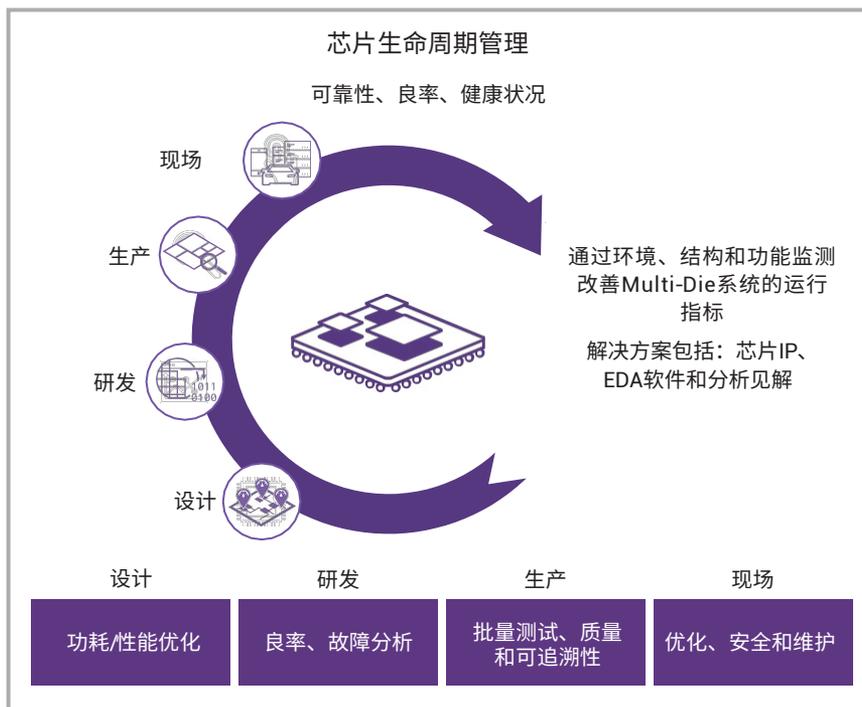


图8: 芯片生命周期管理在芯片的整个生命周期（包括部署到现场后）内为芯片提供可行见解

EDA工作负载云的出现增加了预测分析的优势。例如，能够预测客户的芯片老化或故障并触发纠正措施，从而避免不良情况的出现。

采用先进节点设计的芯片通常具有芯片上监视器，但采用旧工艺的芯片则不一定。此外，并非所有供应商都向客户提供这些数据的访问权限。当所用裸片来自多个不同的来源并分别使用不同的工艺节点时，设计团队需要权衡好复杂模块测试的最佳成本和覆盖率。在包含多源裸片的模块中整合可追溯性和分析机制有助于降低成本，并提高质量和可靠性。目前还没有一种标准化的方法来监测和共享数据，但半导体行业的供应商正在推动此事。

综合的异构裸片集成方法

大型Multi-Die系统需要经验证且统一的综合解决方案，而开发这类解决方案需要深入了解这些设计中的各种相互依赖关系。新思科技提供了业界最全面、可靠且可扩展的Multi-Die系统解决方案，有助于以超快的速度成功完成Multi-Die系统设计。该解决方案包含全面的EDA工具和IP，不仅支持早期架构探索、快速的软件开发和验证、高效的裸片/封装协同设计，以及稳健和安全Die-to-Die连接，而且还能改进芯片的健康状况和可靠性。久经生产考验的设计引擎以及黄金签核和验证技术能够更大限度地降低风险，并加速打造出色的系统。

符合行业标准的广泛高质量IP组合（包括用于高带宽、低延迟Die-to-Die连接的UCIe），以及防止篡改和物理攻击的安全接口，还降低了集成风险，同时缩短了产品上市时间。

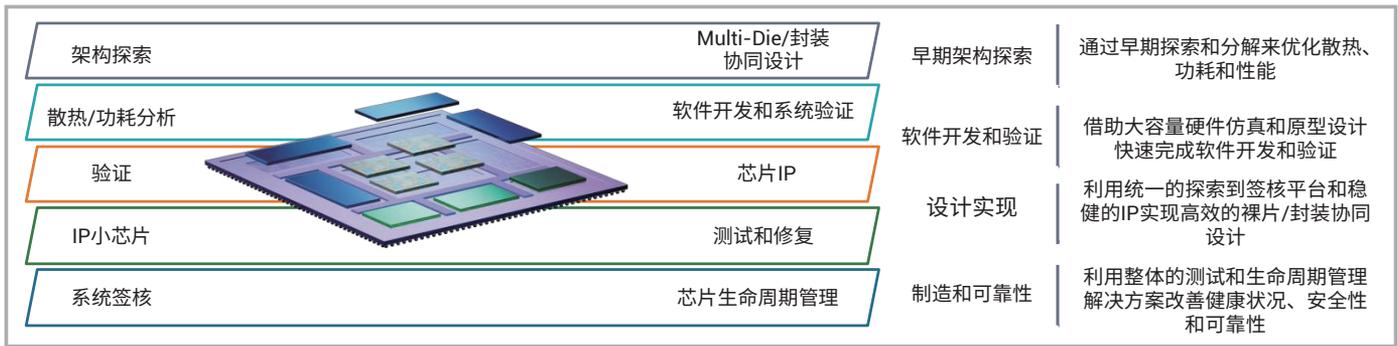


图9：新思科技的Multi-Die系统解决方案是从头开始构建的并不断扩展，以便满足越来越高的系统和应用要求

总结

计算需求不断增长，世界也变得越来越智能，单片上系统已经不足以满足某些应用的需求。人工智能（AI）、超大规模数据中心、网络、移动设备和汽车正在改变芯片行业的格局，将Multi-Die系统推向前沿。与同类产品相比，这些在单个封装中重新组装的单个裸片能够满足巨大的性能要求，而且不会对功耗、面积或良率造成影响。过混合搭配采用不同工艺技术的裸片来支持不同功能，Multi-Die为开发者们提供了一种全新方式从摩尔定律中获取更多价值。

Multi-Die系统非常复杂，其内部存在各种相互依赖关系，因此从设计到验证、电源管理、测试、SLM等，每一步都需要全面的方法。从系统角度进行协同设计和分析有助于确保设计能够实现该架构的PPA优势。利用云和AI的EDA解决方案有助于简化设计和验证过程，帮助开发者取得更好的结果。

开发者从不畏惧艰难的挑战。摩尔定律优势正在减弱，而计算和连接需求却不断激增。Multi-Die系统的出现为电子行业指明了一个新的发展方向，让我们可以继续努力打造出色的产品来改变我们的生活。

相关资源

若要进一步了解Multi-Die系统设计，请查看以下文章：

- [Multi-Die设计中的芯片封装入门指南](#)
- [利用HBM3满足日益增长的速度需求](#)
- [如何实现高延迟和低带宽Die-to-Die连接](#)
- [UCIe将成为SoC创新时代的稳健芯粒生态系统](#)

